

H.C
JW
7/10

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Inventors: Y. MARUWAKA et al.

Application No.: 09/820,636

Filed: March 30, 2001

For: RATE MATCHING CALCULATION METHOD AND RATE
MATCHING APPARATUS

CLAIM FOR PRIORITY

Assistant Commissioner of Patents
Washington, D.C. 20231

Dear Sir:

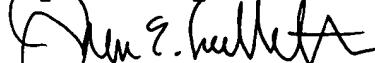
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified application and the priority provided in 35 USC 119 is hereby claimed:

Japanese Appln. No. 2000-099510, Filed March 31, 2000.

In support of this claim, a certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 USC 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,


James E. Ledbetter
Registration No. 28,732

Date: July 2, 2001

JEL/spp

ATTORNEY DOCKET NO. L9289.01127

STEVENS, DAVIS, MILLER & MOSHER, L.L.P.

1615 L Street, NW, Suite 850

P.O. Box 34387

Washington, DC 20043-4387

Telephone: (202) 785-0100

Facsimile: (202) 408-5200

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

2000年 3月31日

出願番号
Application Number:

特願2000-099510

出願人
Applicant(s):

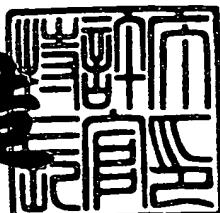
松下電器産業株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年10月 6日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3081186

【書類名】 特許願
【整理番号】 2906425029
【提出日】 平成12年 3月31日
【あて先】 特許庁長官殿
【国際特許分類】 H04L 7/00
【発明者】
【住所又は居所】 神奈川県横浜市港北区綱島東四丁目3番1号 松下通信
工業株式会社内
【氏名】 丸若 靖代
【特許出願人】
【識別番号】 000005821
【氏名又は名称】 松下電器産業株式会社
【代理人】
【識別番号】 100105050
【弁理士】
【氏名又は名称】 鷲田 公一
【手数料の表示】
【予納台帳番号】 041243
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9700376
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 レートマッチ演算方法及び装置

【特許請求の範囲】

【請求項1】 フレーム毎の各チャネルの増減ビット数を求めるために使用する式(1)

【数1】

$$Z_{ij} = \begin{bmatrix} b \\ \parallel \\ \sum_{m=1}^i RM_m \cdot N_{mj} \\ \parallel \\ \sum_{m=1}^I RM_M \cdot NM_{mj} \end{bmatrix} \cdot N_{dataj} \quad \text{for all } i=1..I \quad (1)$$

||
a

の演算過程において、b/aの結果に1/c²を加算することを特徴とするレートマッチ演算方法。

【請求項2】 フレーム毎の各チャネルの増減ビット数を求めるために使用する式(1)

【数2】

$$Z_{ij} = \begin{bmatrix} b \\ \parallel \\ \sum_{m=1}^i RM_m \cdot N_{mj} \\ \parallel \\ \sum_{m=1}^I RM_M \cdot NM_{mj} \end{bmatrix} \cdot N_{dataj} \quad \text{for all } i=1..I \quad (1)$$

||
a

の演算過程において、予めa、b、cの組み合わせと正しい演算結果を求めて保存しておき、該組み合わせが入力されたときに、保存しておいた正しい演算結果を出力することを特徴とするレートマッチ演算方法。

【請求項3】 フレーム毎の各チャネルの増減ビット数を求めるために使用する式(1)

【数3】

$$Z_{ij} = \left\lfloor \frac{\sum_{m=1}^i RM_m \cdot N_{mj}}{\sum_{m=1}^I RM_M \cdot NM_{mj}} \cdot N_{dataj} \right\rfloor \text{ for all } i=1..I \quad (1)$$

||
 b
 $\sum_{m=1}^i RM_m \cdot N_{mj}$
 $\sum_{m=1}^I RM_M \cdot NM_{mj}$
 ||
 c
 a

の演算過程において、 $b \times c$ の演算を先に行ない、その結果を a で割ることを特徴とするレートマッチ演算方法。

【請求項4】 $b \times c$ の演算によってその結果が32ビットを超える場合、 $b \times c$ の値を上位28ビットと下位15ビットに分け、上位28ビットから a の引き算を行ない、引けた場合には「1」を立て、引けなかった場合には「0」を立てて、1回の引き算が終了したら上位28ビットを左に1ビットシフトし、下位ビットの最上位ビットを α に足し、前記 a の引き算及びビットシフト処理を17回繰り返すことを特徴とする請求項3記載のレートマッチ演算方法。

【請求項5】 請求項1から請求項4のいずれかに記載のレートマッチ演算方法をプログラム化したデータを記憶した記憶手段と、この記憶手段に記憶されたデータに従ってフレーム毎の各チャネルの増減ビット数を求める制御手段と、を具備するレートマッチ装置。

【請求項6】 請求項5記載のレートマッチ装置を具備することを特徴とする基地局装置。

【請求項7】 請求項5記載のレートマッチ装置を具備することを特徴とする移動局装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ディジタル移動通信方式の無線装置に用いて好適なレートマッチ演算方法及び装置に関する。

【0002】

【従来の技術】

第三世代ディジタル移動通信の標準機構である 3rd Generation Partnership Project (3GPP) の仕様 TS 25.212 Version 3.1.0において、レートマッチ装置に関する規定があり、その中に式(1)の演算が含まれている。

【0003】

【数4】

$$Z_{ij} = \left\lfloor \frac{\sum_{m=1}^i RM_m \cdot N_{mj}}{\sum_{m=1}^I RM_m \cdot NM_{mj}} \cdot N_{dataj} \right\rfloor \text{ for all } i=1..I \quad (1)$$

||
b
||
a

【0004】

但し、 $RM_i : T r C H \# i$ のレイトマッチアトリビュート

$N_{i,j} : T r C H \# i$ の 1 フレーム当たりのビット数

$N_{data,j} : C C T r C H$ 上のビット数

$\Delta N_{i,j} : T r C H \# i$ の増減ビット数

【0005】

式(1)の演算結果を用いて、1フレームあたりの送信データ数を計算し、その値とレートマッチ前のビット数との差分とそれらの値から算出したパラメータとを用いてレートマッチを行なう。そして、レートマッチを行なった1つ又は複数のチャネルのデータを連結させて送信を行なう。

【0006】

図6は、 $N_{i,j}$ 、 $N_{data,j}$ 、 $Z_{i,j}$ 、 $\Delta N_{i,j}$ の概念図である。この図では、1フレームのチャネル数を「3」としている。チャネル1 ($T r C H 1$) とチャネル2 ($T r C H 2$) は、共に規定のビット数以下であるので、レピティションが行なわれ、チャネル3 ($T r C H 3$) は規定のビット数以上なので、パンクチャが行なわれる。すなわち、チャネル1では、 $\Delta N_{1,j}$ だけレピティションが行な

われ、チャネル2では、 $\Delta N_{2,j}$ だけレピテイションが行なわれる。また、チャネル3では、 $\Delta N_{3,j}$ だけパンクチャが行なわれる。

【0007】

以下に、 $Z_{i,j}$ の計算例を示す。

条件として、 $N_{data,j}$ を2400 bits、チャネル数を4とする。また、各チャネルでのRM_i及びレートマッチ前ビット数は図7に示す値になっているものとする。また、増減ビット数 $\Delta N_{i,j}$ は式(2)で表される。

【0008】

【数5】

$$\Delta N_{ij} = Z_{ij} - Z_{i-1,j} - N_{ij} \quad \text{for all } i=1..I \quad (2)$$

【0009】

(分母の計算)

式(1)の分母の解は、式(3)で示すように、

【0010】

【数6】

$$\begin{aligned} \sum_{m=1}^4 RM_m \cdot N_{mj} &= \\ (256 \times 270) + (250 \times 690) + (240 \times 540) + (200 \times 600) \\ &= 491220 \end{aligned} \quad (3)$$

【0011】

491220となる。

($\Delta N_{i,j}$ の計算)

TRCH#1については、 $\Delta Z_{1,j}$ は、式(4)で示すように、

【0012】

【数7】

$$Z_{1j} = \left\lfloor \frac{\sum_{m=1}^1 RM_m \cdot N_{mj}}{491220} \cdot N_{dataj} \right\rfloor = \left\lfloor \frac{256 \times 270}{491220} \times 2400 \right\rfloor = 337 \quad (4)$$

【0013】

337となる。

これにより、△N1,jは、式(5)で示すように、

【0014】

【数8】

$$\Delta N_{1j} = Z_{1j} - Z_{0j} - N_{1j} = 337 - 0 - 270 = 67 \quad (5)$$

【0015】

67となる。

【0016】

同様にして、T r C H # 2については、△Z2,jは、式(6)で示すように、

【0017】

【数9】

$$Z_{2j} = \left\lfloor \frac{\sum_{m=1}^2 RM_m \cdot N_{mj}}{491220} \cdot N_{dataj} \right\rfloor \\ = \left\lfloor \frac{256 \times 270 + 250 \times 690}{491220} \times 2400 \right\rfloor = 1180 \quad (6)$$

【0018】

1180となり、△N2,jは、式(7)で示すように、

【0019】

【数10】

$$\Delta N_{2j} = Z_{2j} - Z_{1j} - N_{2j} = 1180 - 337 - 690 = 153 \quad (7)$$

【0020】

153となる。

【0021】

また、TrCH#3については、 $\Delta Z_{3,j}$ は、式(8)で示すように、

【0022】

【数11】

$$\begin{aligned} Z_{3j} &= \left\lfloor \frac{\sum_{m=1}^3 RM_m \cdot N_{mj}}{491220} \cdot N_{dataj} \right\rfloor \\ &= \left\lfloor \frac{256 \times 270 + 250 \times 690 + 240 \times 540}{491220} \times 2400 \right\rfloor \\ &= 1813 \end{aligned} \quad (8)$$

【0023】

1813となり、 $\Delta N_{3,j}$ は、式(9)で示すように、

【0024】

【数12】

$$\Delta N_{3j} = Z_{3j} - Z_{2j} - N_{3j} = 1813 - 1180 - 540 = 93 \quad (9)$$

【0025】

93となる。

【0026】

そして、TrCH#4については、 $\Delta Z_{4,j}$ は、式(10)で示すように、

【0027】

【数13】

$$\begin{aligned}
 Z_{4j} &= \left\lfloor \frac{\sum_{m=1}^4 RM_m \cdot N_{mj}}{491220} \cdot N_{data,j} \right\rfloor \\
 &= \left\lfloor \frac{256 \times 270 + 250 \times 690 + 240 \times 540 + 200 \times 600}{491220} \right. \\
 &\quad \left. \times 2400 \right\rfloor = 2400 \tag{10}
 \end{aligned}$$

【0028】

2400となり、 $\Delta N_{4,j}$ は、式(11)で示すように、

【0029】

【数14】

$$\Delta N_{4j} = Z_{4j} - Z_{3j} - N_{4j} = 2400 - 1813 - 600 = -13 \tag{11}$$

【0030】

-13となる。

【0031】

以上により、各チャネルの増減ビット数 $\Delta N_{i,j}$ は、図8に示すようになる。
 すなわち、チャネル1では、+67（レピティション）、チャネル2では、+153（レピティション）、チャネル3では、+93（レピティション）、チャネル4では、-13（パンクチャ）となる。

【0032】

このレートマッチパラメータの演算は、移動局装置と基地局装置の各送受信系のチャネルコーディック部において行なわれる。図9の(a)は移動局装置の受信系のチャネルコーディック部の構成を示すブロック図であり、図9の(b)は基地局装置の受信系のチャネルコーディック部の構成を示すブロック図である。

また、図10（a）は移動局装置の送信系のチャネルコーディック部の構成を示すブロック図であり、図10の（b）は基地局装置の送信系のチャネルコーディック部の構成を示すブロック図である。これらの図において、符号1、2、3、4がレートマッチパラメータの演算を行なうレートマッチパラメータ演算器である。

【0033】

送信系のレートマッチパラメータ演算器1からは、レートマッチパラメータ X_i 、 e_{ini} 、 e_{plus} 、 e_{minus} が出力され、これらのレートマッチパラメータを元にレートマッチ処理器5にてレートマッチ処理が行なわれる。また、送信系のレートマッチパラメータ演算器2からは、レートマッチパラメータ X_i 、 e_{ini} 、 e_{plus} 、 e_{minus} が出力され、これらのレートマッチパラメータを元にレートマッチ処理器6にてレートマッチ処理が行なわれる。一方、受信系のレートマッチパラメータ演算器3からは、レートマッチパラメータ X_i 、 e_{ini} 、 e_{plus} 、 e_{minus} が出力され、これらのレートマッチパラメータを元にレートマッチ処理器7にてレートマッチ処理が行なわれる。また、受信系のレートマッチパラメータ演算器4からは、レートマッチパラメータ X_i 、 e_{ini} 、 e_{plus} 、 e_{minus} が出力され、これらのレートマッチパラメータを元にレートマッチ処理器8にてレートマッチ処理が行なわれる。

【0034】

各レートマッチパラメータ演算器1、2、3、4の動作は、図11～図14に示すフローチャートの通りである。すなわち、図11はレートマッチパラメータ演算器1の動作フローであり、図12はレートマッチパラメータ演算器2の動作フローであり、図13はレートマッチパラメータ演算器3の動作フローであり、図14はレートマッチパラメータ演算器4の動作フローである。

【0035】

レートマッチパラメータ演算器1は、データの種類やチャネル数により $N_{data,j}$ を決定（ステップ1）した後、各チャネルの増減ビット数を決定する（ステップ2）。各チャネルの増減ビット数を決定した後、レートマッチパラメータ X_i 、 e_{ini} 、 e_{plus} 、 e_{minus} を計算により求める（ステップ3）。

【0036】

レートマッチパラメータ演算器2は、CCTrCH上のチャネル数を入力（ステップ10）した後、レートマッチの種類を判定する（ステップ11）。レートマッチには、Fixed PositionとFlexible Positionの2種類ある。Fixed Positionの場合、 $N_{i,*}$ の計算を行ない（ステップ12）、次いで、各チャネルの1フレーム当たりのビット数内でレピティション又はパンクチャを行なうビット数の計算、各チャネルのTTI当たりのビット数内でレピティション又はパンクチャを行なうビット数の計算を行なう。そして、これらのビット数の計算後、レートマッチパラメータXi、eini、eplus、eminusを計算する（以上、ステップ13）。

【0037】

一方、Flexible Positionの場合、CCTrCH上にマッピングされている全てのTrCHの全てのTFでの $N_{i,j}$ の計算を行なう（ステップ14）。次いで、各チャネルのTTI当たりのビット数内のレピティション又はパンクチャを行なうビット数暫定値の計算、RFiを用いた時のCCTrCH上のビット数の計算、各チャネルでレピティション又はパンクチャを行ない、CCTrCH上に全てのチャネルの1フレーム当たりのビット数を合計し、そのビット数がCCTrCH上のビット数内に収まるか収まらないかを調べ、収まらなかった場合にはレピティション又はパンクチャを行なうビット数値の再計算を、それぞれ順に行なう。そして、これらのビット数の計算後、レートマッチパラメータXi、eini、eplus、eminusを計算する（以上、ステップ15）。

【0038】

レートマッチパラメータ演算器3は、レートマッチパラメータ演算器2と同様の動作を行なう。

レートマッチパラメータ演算器4はデータの種類やチャネル数により $\Delta N_{i,j}$ を決定（ステップ30）した後、レートマッチパラメータXi、eini、eplus、eminusを計算により求める（ステップ31）。

【0039】

【発明が解決しようとする課題】

ところで、従来のレートマッチ演算方法においては、複数チャネルのデータを連結させた状態で送信した場合、受信側では、送信側で各チャネルを連結した位置で正確にチャネルの切り出しを行なわないと、データ位置が全てずれてしまい、復号が不可能になる問題がある。

【0040】

この各チャネルのビット数を計算するのに上述した式(1)が用いられるのだが、この式の演算を行なう際に、割り算の精度限界によって正しい結果が得られない場合がある。これにより、送信側における計算結果と受信側における計算結果とが異なる可能性があり、そのようなことが起こると上述のように受信側で復号ができなくなる。

【0041】

本発明はかかる点に鑑みてなされたものであり、送信側と受信側の両方で常に正確なビット数の計算を行なうことができるレートマッチ演算方法及び装置を提供することを目的とする。

【0042】

【課題を解決するための手段】

本発明のレートマッチ演算方法は、フレーム毎の各チャネルの増減ビット数を求めるために使用する式(1)

【0043】

【数15】

$$Z_{ij} = \left\lfloor \frac{\sum_{m=1}^i RM_m \cdot N_{mj}}{\sum_{m=1}^I RM_M \cdot NM_{mj}} \cdot N_{dataj} \right\rfloor \text{ for all } i=1..I \quad (1)$$

||
b
||
a
||
c

【0044】

の演算過程において、b/aの結果に1/c²を加算する。

【0045】

式(1)では、 b/a の結果に c を掛けるようにしているが、 b/a の演算精度によっては真の割り算結果よりも小さな結果が算出される場合があるため、式(1)の結果として真値より小さい値が得られることがある。そのようなことが起こるのを防ぐために b/a の演算結果に補正值を加える。しかし、補正值が大き過ぎると、式(1)とは逆に真値より大きい値が算出される。そこで、 c を掛けたときに式(1)全体に対して加算値が1を超えないようにするために、 $1/c^2$ を加算する。 b/a の結果に対して $1/c^2$ を加算することによって、正し演算結果を得ることができる。

【0046】

その理由は、 b/a の結果に対して $1/c^2$ を加算することによって、 b/a の結果よりも大きい結果に対して c を掛けければ、その結果が式(1)による結果よりも大きくなるからである。すなわち、式(1)では、最後に小数点以下を切り捨てるF100r演算が行なわれるので、大きくなった分が小数点以下に収まれば、増えた分は切り捨てられる。

【0047】

したがって、本発明によれば、送信側と受信側の両方で常に正確なビット数の計算を行なうことが可能となる。

【0048】

また、本発明のレートマッチ演算方法は、フレーム毎の各チャネルの増減ビット数を求めるために使用する式(1)

【0049】

【数16】

$$Z_{ij} = \left\lfloor \frac{\sum_{m=1}^i RM_m \cdot N_{mj}}{\sum_{m=1}^I RM_M \cdot NM_{mj}} \cdot N_{dataj} \right\rfloor \text{ for all } i=1..I \quad (1)$$

b
 ||
 $\sum_{m=1}^i RM_m \cdot N_{mj}$
 ||
 $\sum_{m=1}^I RM_M \cdot NM_{mj}$
 a

【0050】

の演算過程において、予め a、b、c の組み合わせと正しい演算結果を求めて保存しておき、該組み合わせが入力されたときに、保存しておいた正しい演算結果を出力する。

【0051】

この方法によれば、上述の補正値によっても正しい解が得られない場合、正しい解が得られない a、b、c の組み合わせと正しい演算結果を予め調べて保存しておき、その組み合わせで演算が行なわれる場合に保存内容を参照することによって正しい解を得ることができる。

【0052】

また、本発明のレートマッチ演算方法は、フレーム毎の各チャネルの増減ビット数を求めるために使用する式（1）

【0053】

【数17】

$$Z_{ij} = \left\lfloor \frac{\sum_{m=1}^i RM_m \cdot N_{mj}}{\sum_{m=1}^I RM_m \cdot NM_{mj}} \cdot N_{dataj} \right\rfloor \text{ for all } i=1..I \quad (1)$$

||
a C
||
b ||

【0054】

の演算過程において、b × c の演算を先に行ない、その結果を a で割る。

【0055】

この方法によれば、b ÷ a の結果に c を掛ける場合よりも正しい解を得ることができる。

【0056】

また、本発明のレートマッチ演算方法は、上記レートマッチ演算方法において、b × c の演算によってその結果が 32 ビットを超える場合、b × c の値を上位 28 ビットと下位 15 ビットに分け、上位 28 ビットから a の引き算を行ない、引けた場合には「1」を立て、引けなかった場合には「0」を立てて、1 回の引

き算が終了したら上位28ビットを左に1ビットシフトし、下位ビットの最上位ビットを α に足し、前記aの引き算処理を17回繰り返す。

【0057】

この方法によれば、 $b \times c$ の演算結果が32ビットを超える（最大43ビット）場合、3GPP仕様上、既存の32ビット演算器による割り算では実現が困難となるが、 $b \times c$ の値を上位28ビットと下位15ビットに分けて演算を行なうことで、32ビット演算器を用いた演算が可能となる。

【0058】

また、aの引き算処理を17回繰り返すだけで済むので、 $b \times c$ の値を上位ビットと下位に分けないで演算する場合と比べて演算量が少なくなる。これにより、レートマッチ時間の短縮化が図れる。

【0059】

本発明のレートマッチ装置は、上記レートマッチ演算方法をプログラム化したデータを記憶した記憶手段と、この記憶手段に記憶されたデータに従ってフレーム毎の各チャネルの増減ビット数を求める制御手段と、を具備する構成を探る。

【0060】

本発明の基地局装置は、上記レートマッチ装置を具備する構成を探る。

【0061】

本発明の移動局装置は、上記レートマッチ装置を具備する構成を探る。

【0062】

本発明のレートマッチ装置を具備することで、基地局装置と移動局装置との双方で正確なビット数の計算を行なうことができるので、良好な通信が可能となる。

【0063】

【発明の実施の形態】

本発明の骨子は、各チャネルの増減ビット数を求めるために使用する式（1）における b/a の演算結果に対して補正值を付加することである。

【0064】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。

【0065】

(実施の形態1)

図1は、本発明の実施の形態1に係るレートマッチ装置における式(1)の演算過程を示すフローチャートである。なお、本実施の形態のレートマッチ装置は、例えば、上述した図10のレートマッチパラメータ演算器1とレートマッチ処理器5とを備えて構成されるものである。以下、本実施の形態のレートマッチ装置として、図10のレートマッチ装置100を援用するものとする。

【0066】

レートマッチ装置100は、式(1)の演算において、まず a/b の演算を行ない(ステップ50)、次いでその結果に $1/c^2$ を加算する(ステップ51)。 $1/c^2$ を加算した後、その結果にcを掛ける。

【0067】

ここで、上述したように、 b/a の結果に対して $1/c^2$ を加算することによって、 b/a の結果よりも大きい結果に対してcを掛けければ、その結果が式(1)による結果よりも大きくなる。すなわち、式(1)では、最後に小数点以下を切り捨てるFor演算が行なわれる所以、大きくなった分が小数点以下に収まれば、増えた分は切り捨てられる。

したがって、式(12)

【0068】

【数18】

$$X = \left\lfloor \left(\frac{b}{a} + \frac{1}{C^2} \right) \times c \right\rfloor \quad (12)$$

【0069】

に示すように、割り算結果に対して $1/c^2$ を付加し、その結果に対してcを掛けることで正しい演算結果を得ることができる。これにより、送信側と受信側の双方で正確なビット数の計算を行なうことができる。この結果、良好な通信が可能となる。

【0070】

(実施の形態2)

図2は、本発明の実施の形態2に係るレートマッチ装置の式(1)の演算を行なう部分の構成を示すブロック図である。

この図に示すように、式(1)の演算を行なう部分は、a b c組み合わせ判定手段20と、記憶テーブル21と、補正值付加演算手段22とを備えて構成される。

【0071】

本発明は、上述した実施の形態1における手法を用いても正しい結果が得られない場合に特に有効であり、記憶テーブル21には、予め正しい解が得られないa、b、cの組み合わせと正しい演算結果を書き込んでおき、組み合わせ判定手段20にて、入力されたa、b、cが正しい結果が得られない組み合わせと判断した場合に、当該組み合わせに対応する演算結果を記憶テーブル21から読み出して出力する。入力されたa、b、cが正しい結果が得られる組み合わせと判断した場合には、そのa、b、cの各値が実施の形態1と同様の処理を行う補正值付加演算手段22に入力されて、正しい演算結果が出力される。

したがって、本実施の形態においても、送信側と受信側の双方で正確なビット数の計算を行なうことができるので、良好な通信を行なうことが可能になる。

【0072】

(実施の形態3)

本発明の実施の形態3に係るレートマッチ装置は、式(1)における演算の順序を、式(13)

【0073】

【数19】

$$X = \left\lfloor \frac{(b \times c)}{a} \right\rfloor \quad (13)$$

【0074】

に示すように、分子の掛け算($b \times c$)を先に行ない、その結果をaで割り算する手法を探るものである。

最初に掛け算を行なってから割り算を行なうことで、逆にした場合（ b/a の結果に c を掛ける場合）よりも正しい演算結果が得られる。

したがって、本実施の形態においても、送信側と受信側の双方で正確なビット数の計算を行なうことができるので、良好な通信を行なうことが可能になる。

【0075】

（実施の形態4）

上述した実施の形態3における式（1）の演算手法では、分子の掛け算結果が32ビットを超える（最大43ビット）ことがあり、3GPP仕様上、既存の32ビット演算器による割り算では実現が困難となる。本発明は、 $b \times c$ の値を上位28ビットと下位15ビットに分けて演算を行なうことで、32ビット演算器を用いた演算を可能としている。すなわち、 $b \times c$ の値を上位28ビットと下位15ビットに分け、上位28ビットから a の引き算を行ない、引けた場合には「1」を立て、引けなかった場合には「0」を立てて、1回の引き算が終了したら上位28ビットを左に1ビットシフトし、下位ビットの最上位ビットを α に足し、前記 a の引き算処理を17回繰り返す。

【0076】

図3及び図4に示すフローチャートは、本実施の形態の演算手法を示すものである。また、図5は、メモリ概念図である。以下、これらの図を参照して、本実施の形態の演算手法の詳細について説明する。

【0077】

まず、 a の入力を行ない、それを左に2ビットシフトさせる（ステップ60、61）。次に、 b の入力を行ない、それを左に2ビットシフトさせる（ステップ62、63）。次に、 b の上位16ビットを b_{up} に入力し（ステップ64）、次いで b の下位16ビットを b_{lw} に入力する（ステップ65）。次に、 c の入力を行ない、それを左に14ビットシフトさせる（ステップ66、67）。次いで、 c の上位16ビットを c_{up} に入力し（ステップ68）、 c の下位16ビットを c_{lw} に入力する（ステップ69）。

【0078】

次に、 b と c の掛け算を行なう。 b と c の掛け算は以下で求める α と β を用いて

計算する。まず β を求める（ステップ70）。 β は、 b_up に入力した b の上位16ビットと c_low に入力した c の下位16ビットを掛け合わせた結果と、 b_low に入力した b の下位16ビットと c_up に入力した c の上位16ビットを掛け合わせた結果とを加算し、さらにその加算結果に、 b_low に入力した b の下位16ビットと c_low に入力した c の下位16ビットを掛け合わせた結果を16ビット右にシフトさせたデータを加算して求める。

【0079】

β を求めた後、 α を求める（ステップ71）。この場合、 α を求めるには、 b_up に入力した b の上位16ビットと c_up に入力した c の上位16ビットを掛け合わせた結果に β の上位16ビットを加算する（最上位ビットはサインビットなので、15ビット右にシフトさせたデータを加算することによって、上位16ビット加算したことになる）。なお、 β の最上位ビットはサインビットなので、正確には上位2ビット目から17ビット目となる。

【0080】

次に、 β の下位15ビットを $b c_lowest$ に入力する。この場合、 β の下位15ビットをそのまま $b c_lowest$ に入力するのではなく、左に1ビットシフトさせたデータを入力する。これは、 $b \times c$ の小数点位置を $b c_lowest$ の下位1ビット目と2ビット目の間に持ってくるための操作である。なお、この小数点位置は、ステップ61の「 a を左に2ビットシフトさせる」点と関係している。これは a の小数点位置を下位2ビット目と3ビット目の間に持ってくるための操作であり、このようにすることで、 a と $b \times c$ の小数点位置の差が17ビットとなる。

【0081】

次に、割り算ループにて $b \times c$ を表す値を1ビットシフトさせながら計算を行なう（ステップ73）。この場合、 a と $b \times c$ の小数点位置の差が17ビットあることにより、ループを17回廻せばちょうど、解が整数である割り算を行なうことになる。そして、 α に残ったビットは割り算の余りを表すことになる。

【0082】

割り算した後、本処理が $F100r$ （切り捨て）演算であれば、 Z を演算結果

として出力する。これに対し、Ceil（切り上げ）演算であれば、余りがあつた場合は $Z + 1$ を演算結果として出力し、余りがなければ Z を演算結果として出力する。

【0083】

このように、本実施の形態によれば、 $b \times c$ の演算結果が32ビットを超える場合、3GPP仕様上、既存の32ビット演算器による割り算では実現が困難となるが、 $b \times c$ の値を上位28ビットと下位15ビットに分けて演算を行なうことで、32ビット演算器を用いた演算が可能となる。

したがって、本実施の形態においても、送信側と受信側の双方で正確なビット数の計算を行なうことができるので、良好な通信を行なうことが可能になる。

【0084】

また、 a の引き算処理を17回繰り返すだけで済むので、 $b \times c$ の値を上位ビットと下位に分けないで演算する場合と比べて演算量が少なくなる。これにより、レートマッチ時間の短縮化が図れる。

【0085】

なお、上記フローチャートは、プログラム化されてデータとしてメモリ等の憶手段に記憶されており、図示せぬ制御手段が、この記憶手段に記憶されたプログラムに従って式(1)の演算を行なう。当然ながら移動局装置と基地局装置の双方のレートマッチ演算装置に設けられる。

【0086】

また、本実施の形態の演算方法は、レートマッチ装置以外にも割り算及び掛け算を行なう装置にも勿論適用可能であり、汎用性の広いものである。

【0087】

【発明の効果】

以上説明したように、本発明によれば、送信側と受信側の両方で常に正確なビット数の計算を行なうことができるので、良好な通信を行なうことが可能になる。

【図面の簡単な説明】

【図1】

本発明の実施の形態1に係るレートマッチ装置の動作フロー

【図2】

本発明の実施の形態2に係るレートマッチ装置のレートマッチ演算部分の構成を示すブロック図

【図3】

本発明の実施の形態4に係るレートマッチ装置の動作フロー

【図4】

本発明の実施の形態4に係るレートマッチ装置の動作フロー

【図5】

本発明の実施の形態4に係るレートマッチ装置の動作を説明するためのメモリ概念図

【図6】

$N_{i,j}$ 、 $N_{data,j}$ 、 $Z_{i,j}$ 、 $\Delta N_{i,j}$ の概念図である。

【図7】

各TRCHでのRM_i及び1フレーム当たりのレートマッチ前のビット数の1例を示す図

【図8】

図7に示すビット数のときの各TRCHの $\Delta N_{i,j}$ を示す図

【図9】

従来の移動局装置及び基地局装置の受信系のチャネルコーディック部の構成を示すブロック図

【図10】

従来の移動局装置及び基地局装置の送信系のチャネルコーディック部の構成を示すブロック図

【図11】

従来の移動局装置の送信系のチャネルコーディック部におけるレートマッチパラメータ演算器の動作フロー

【図12】

従来の基地局装置の送信系のチャネルコーディック部におけるレートマッチ

パラメータ演算器の動作フロー

【図13】

従来の移動局装置の受信系のチャネルコーディック部におけるレートマッチ
パラメータ演算器の動作フロー

【図14】

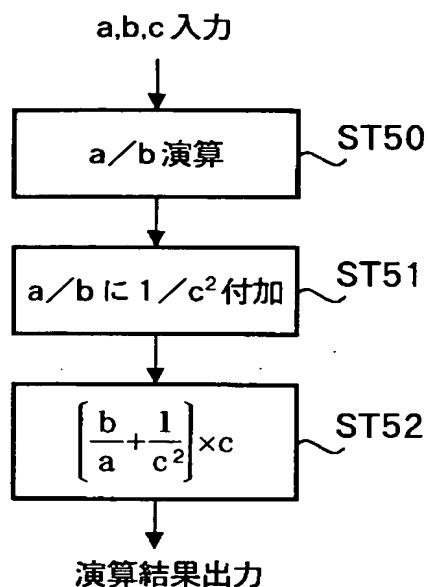
従来の基地局装置の受信系のチャネルコーディック部におけるレートマッチ
パラメータ演算器の動作フロー

【符号の説明】

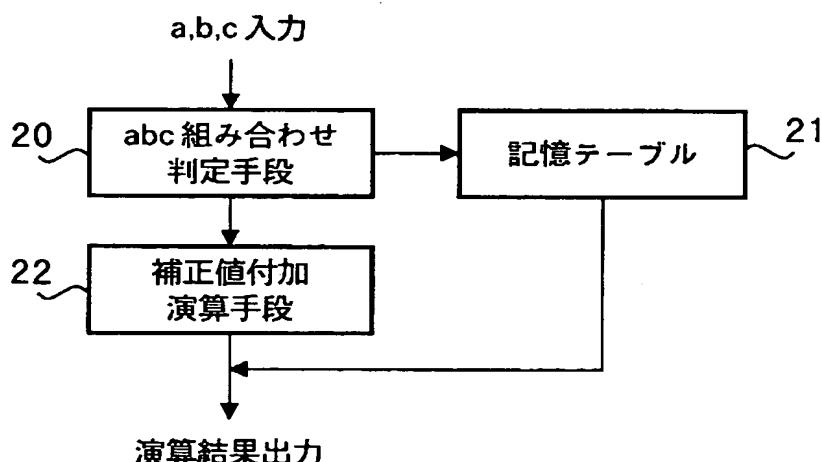
- 1 レートマッチパラメータ演算器
- 5 レートマッチ処理器
- 20 a b c 組み合わせ判定手段
- 21 記憶テーブル
- 22 補正值付加演算手段
- 100 レートマッチ装置

【書類名】 図面

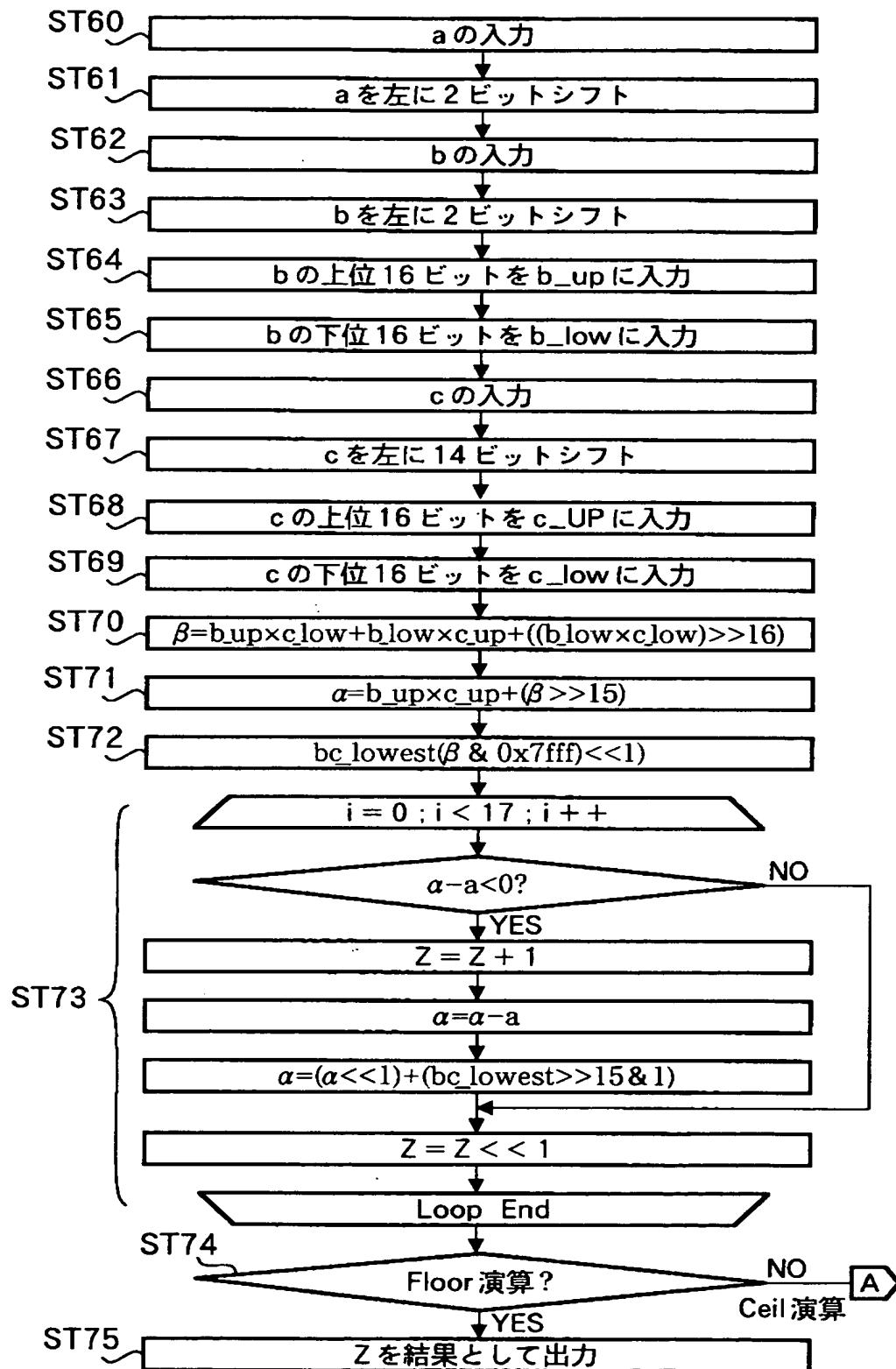
【図1】



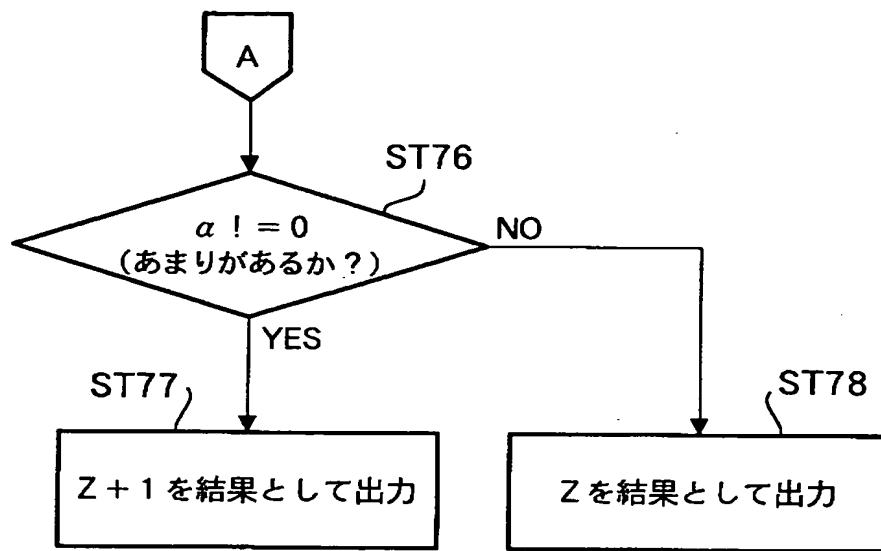
【図2】



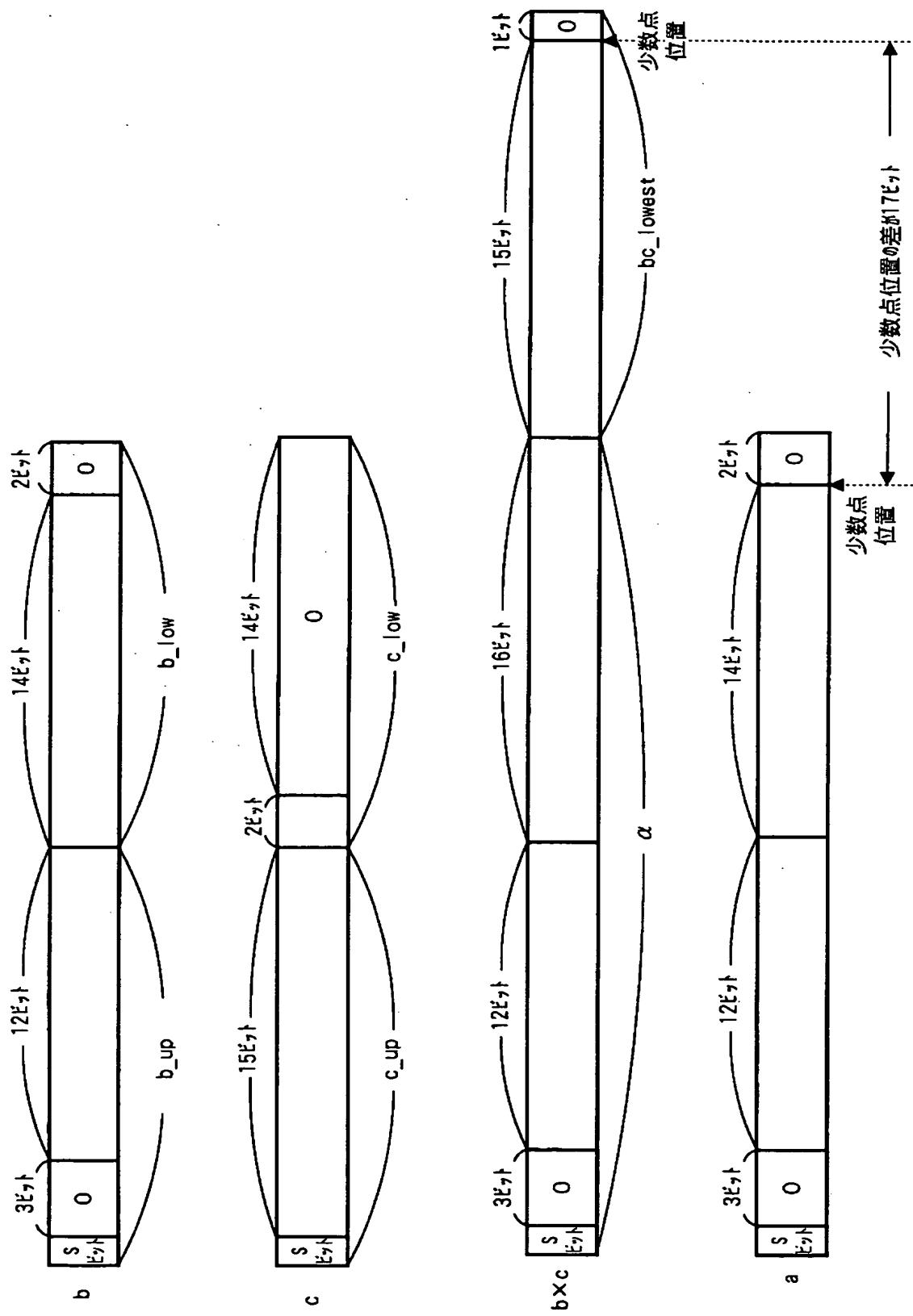
【図3】



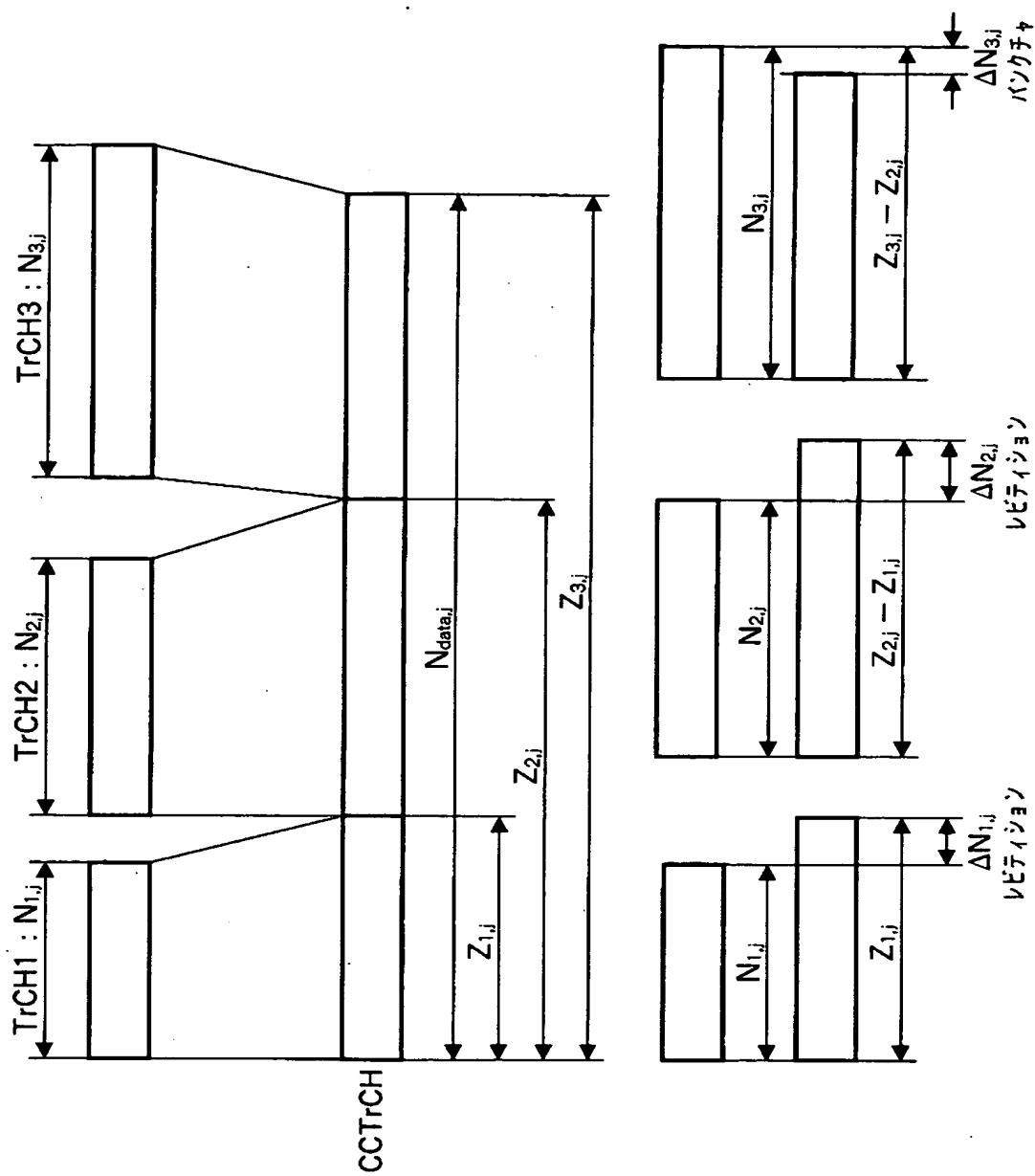
【図4】



【図5】



【図6】



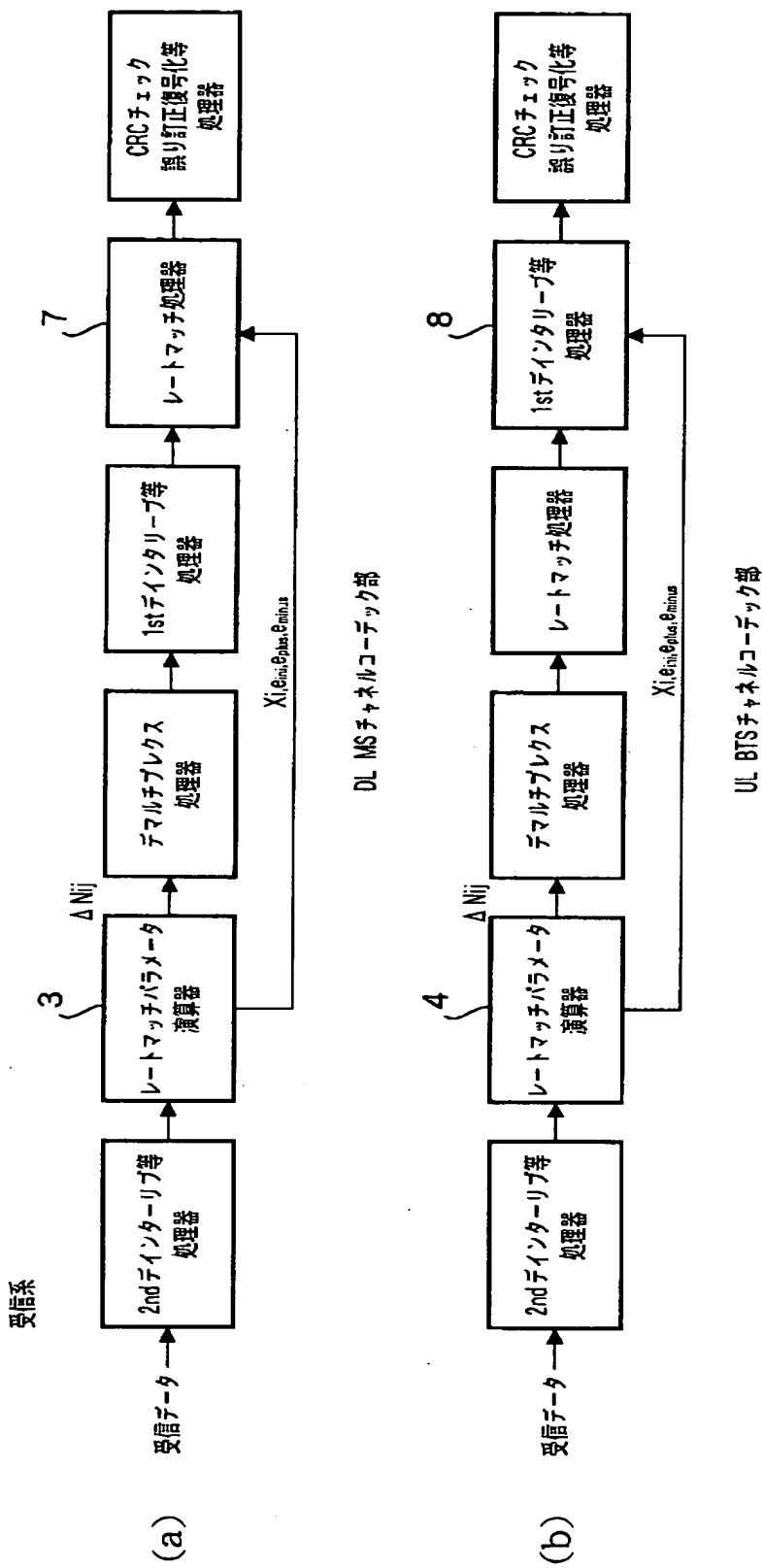
【図7】

TrCH番号	RM i	1フレーム当たりの レートマッチ前ビット数
TrCH # 1	256	270
TrCH # 2	250	690
TrCH # 3	240	540
TrCH # 4	200	600

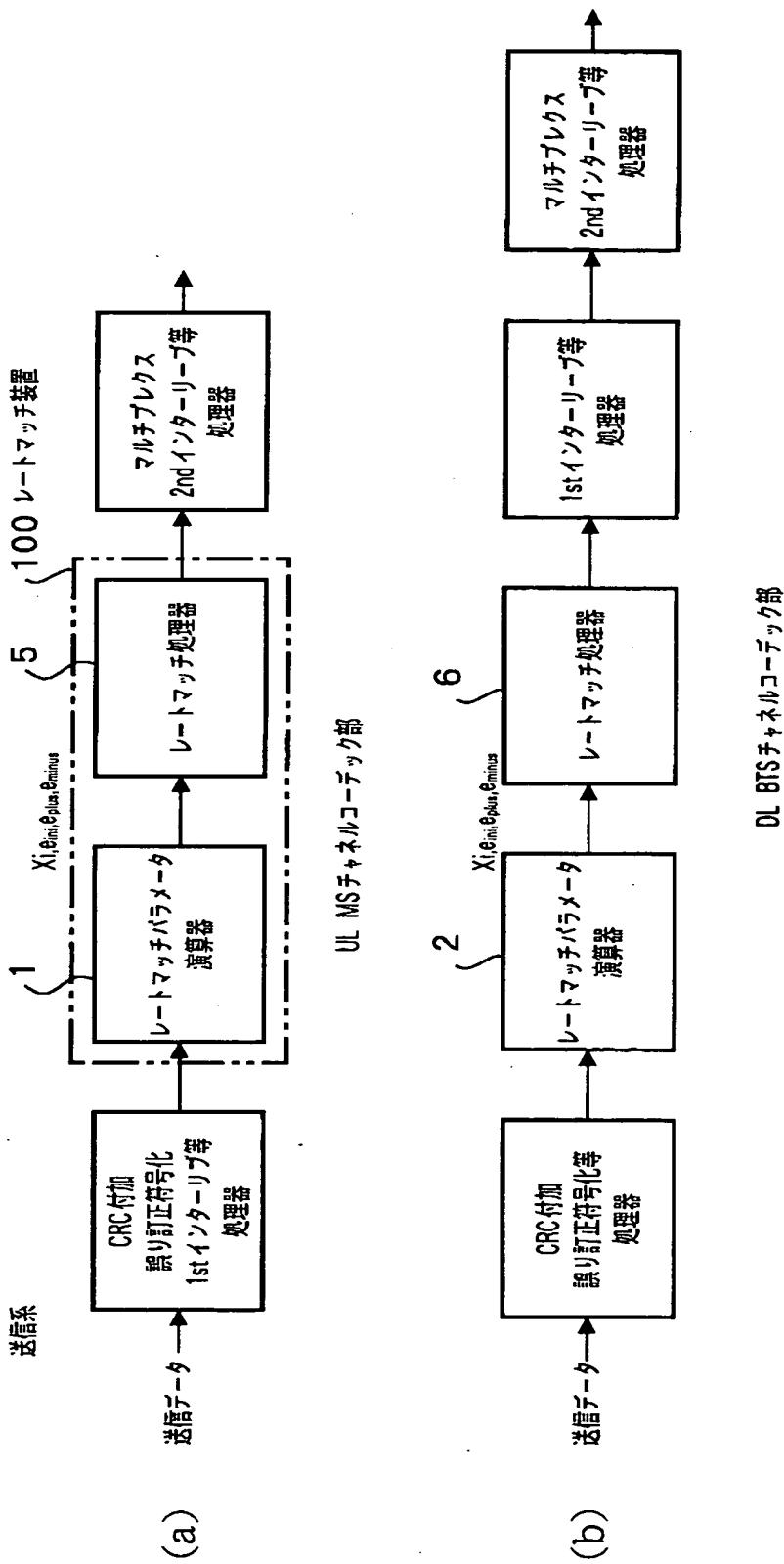
【図8】

TrCH番号	ΔN_{ij}
TrCH # 1	+ 67 (Repetition)
TrCH # 2	+ 153 (Repetition)
TrCH # 3	+ 93 (Repetition)
TrCH # 4	- 13 (Puncture)

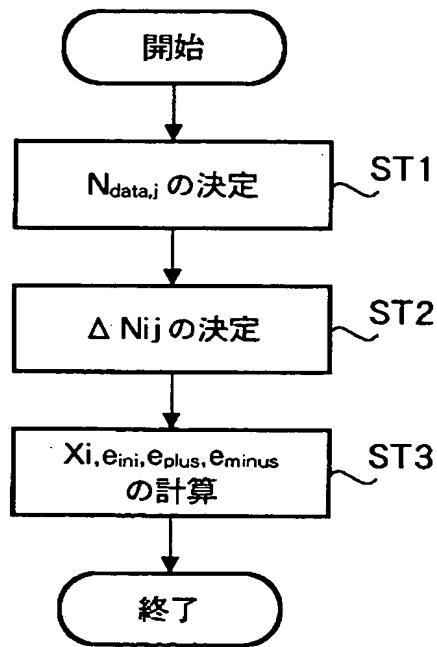
【図9】



【図10】

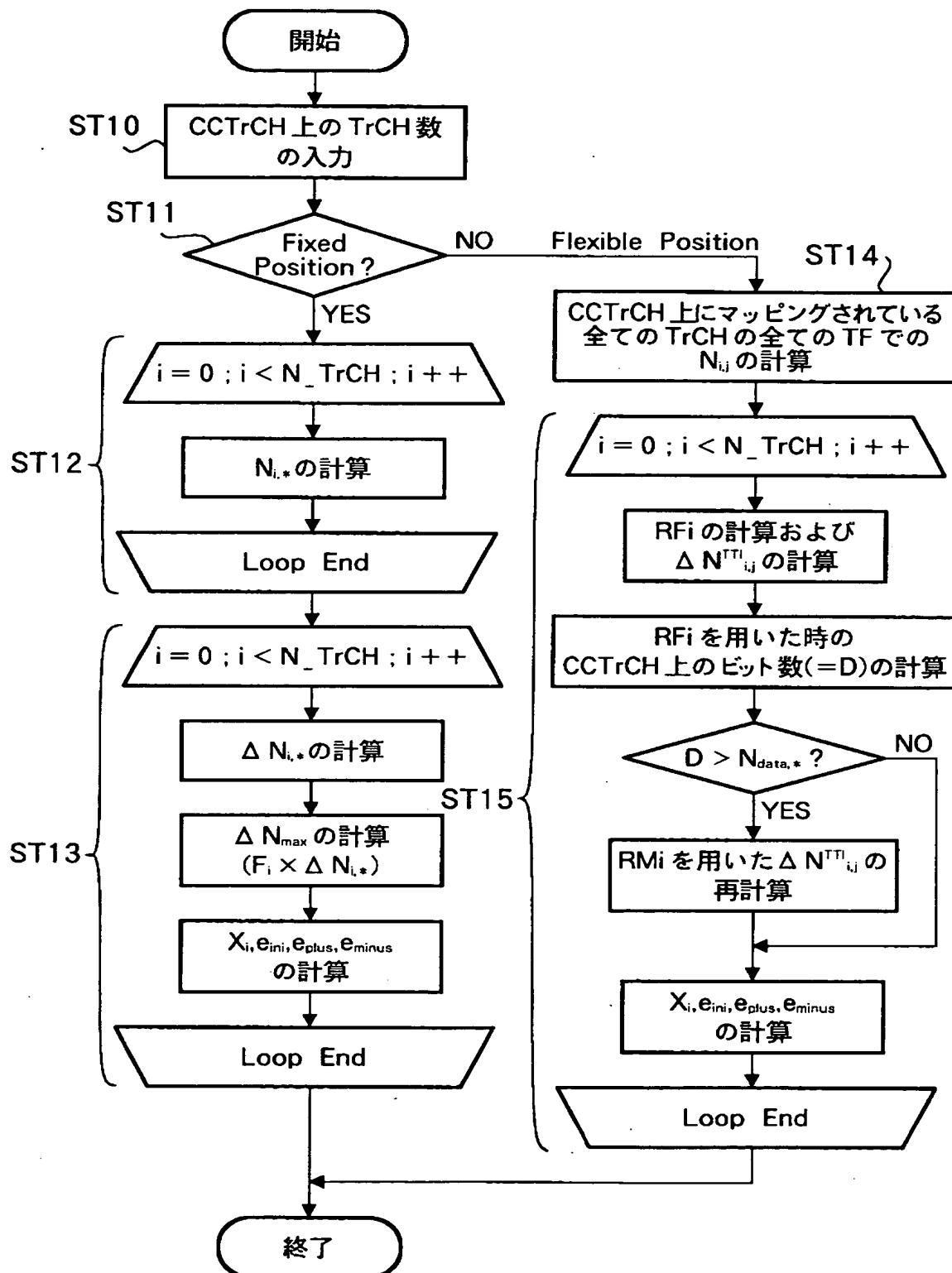


【図11】



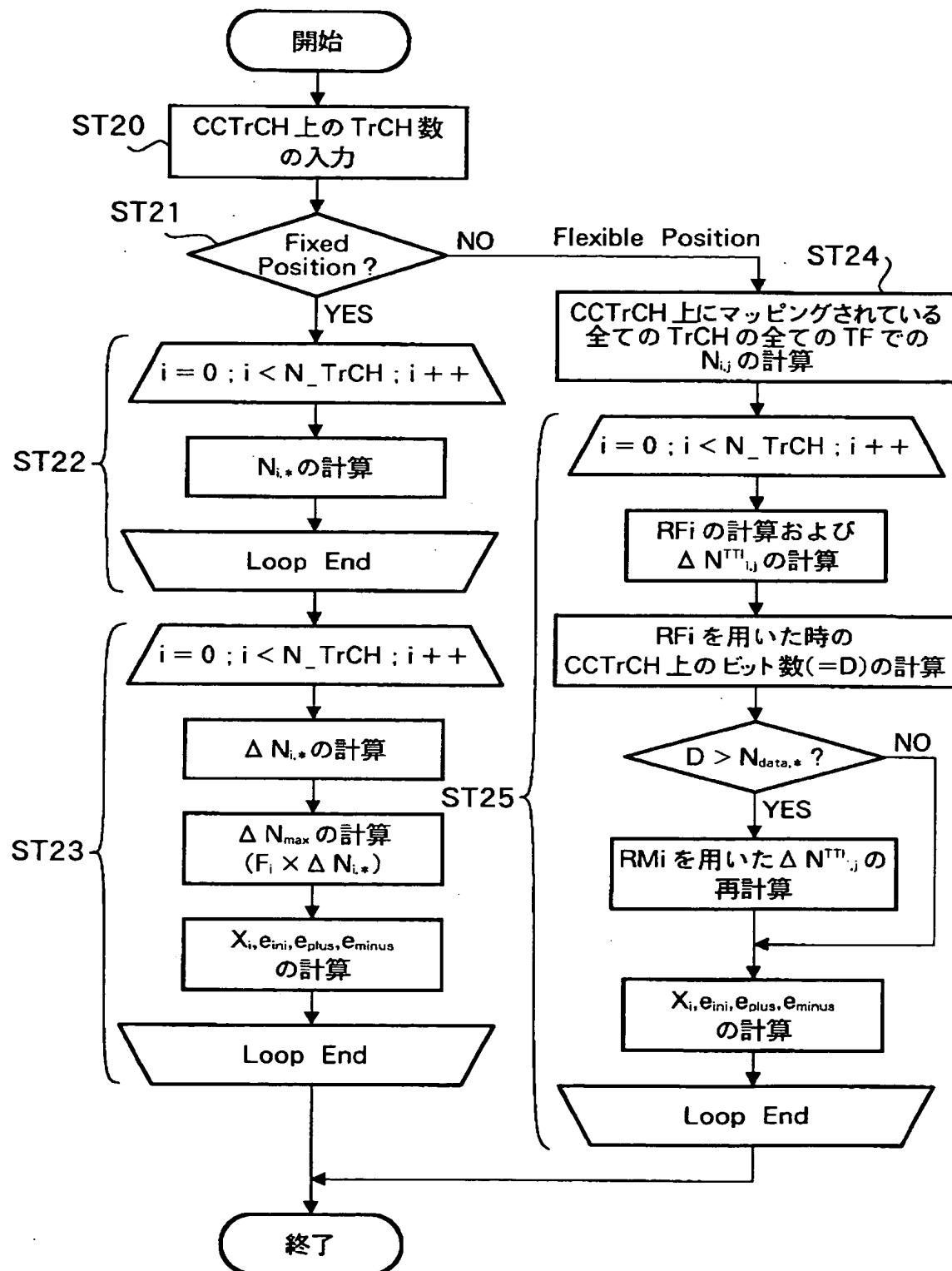
レートマッチパラメータ演算器1の動作フロー

【図12】



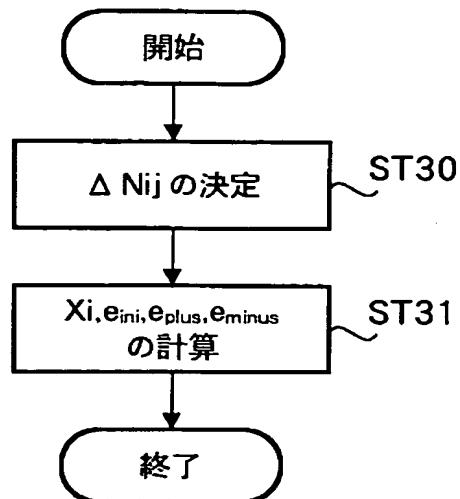
レートマッチパラメータ演算器2の動作フロー

【図13】



レートマッチパラメータ演算器3の動作フロー

【図14】



レートマッチパラメータ演算器4の動作フロー

【書類名】 要約書

【要約】

【課題】 送信側と受信側の両方で常に正確なビット数の計算を行なうことができるレートマッチ演算方法及び装置を提供する。

【解決手段】 フレーム毎の各チャネルの増減ビット数を求めるために使用する式（1）の演算過程において、 b/a の結果に補正值 $1/c^2$ を加える。これにより、送信側と受信側の両方で常に正確なビット数の計算を行なうことが可能となる。

【選択図】 図1

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社